

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-299579

(43)Date of publication of application : 11.10.2002

(51)Int.Cl.

H01L 27/105

(21)Application number : 2001-098272

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 30.03.2001

(72)Inventor : NAKAYAMA MASAO

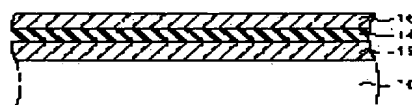
## (54) FERROELECTRIC MEMORY AND METHOD OF MANUFACTURING THE SAME

## (57)Abstract:

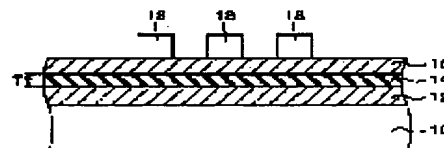
**PROBLEM TO BE SOLVED:** To provide a ferroelectric memory having no short-circuiting between an upper and a lower electrode, and also to provide a method of manufacturing the same.

**SOLUTION:** In the method of manufacturing a ferroelectric memory, a ferroelectric material film 14 formed on a lower electrode material film 12 is patterned by underetching so as not to expose the lower electrode material film 12 to form a plurality of ferroelectric sections 22 and a residual underetched film 24. The residual underetched film 24 and the lower electrode material film 12 are patterned by etching. A region surrounding two or more ferroelectric sections 22 being as one non-etching region, one lower electrode 28 is formed from the lower electrode material film 12 in one non-etching region.

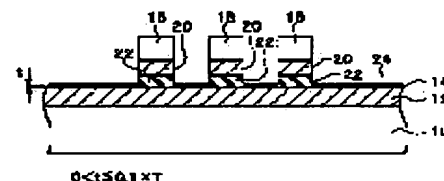
(A)



(B)



(C)



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-299579

(P2002-299579A)

(43) 公開日 平成14年10月11日 (2002. 10. 11)

(51) Int.Cl.<sup>7</sup>

H 0 1 L 27/105

識別記号

F I

H 0 1 L 27/10

テームト\* (参考)

4 4 4 B 5 F 0 8 3

4 4 4 Z

審査請求 未請求 請求項の数11 O L (全 8 頁)

(21) 出願番号 特願2001-98272 (P2001-98272)

(22) 出願日 平成13年3月30日 (2001. 3. 30)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 中山 雅夫

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(74) 代理人 100090479

弁理士 井上 一 (外2名)

Fターム (参考) 5F083 FR01 FR02 JA07 JA14 JA15

JA38 JA43 LA12 LA16 NA08

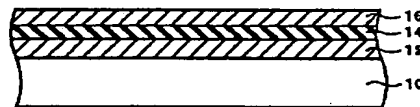
(54) 【発明の名称】 強誘電体メモリ及びその製造方法

(57) 【要約】

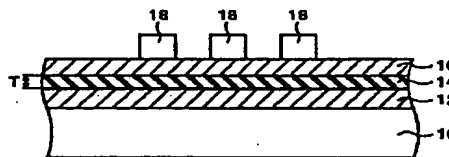
【課題】 上部及び下部電極がショートしない強誘電体メモリ及びその製造方法を提供することにある。

【解決手段】 強誘電体メモリの製造方法では、下部電極材料膜12上に形成された強誘電体材料膜14を、下部電極材料膜12が露出しないように、アンダーエッチングによってパターニングして、複数の強誘電体部22と、アンダーエッチング残膜24と、を形成する。また、アンダーエッチング残膜24及び下部電極材料膜12をエッチングによりパターニングする。2つ以上の強誘電体部22を囲む領域を1つの非エッチング領域として、その1つの非エッチング領域に、下部電極材料膜12から1つの下部電極28を形成する。

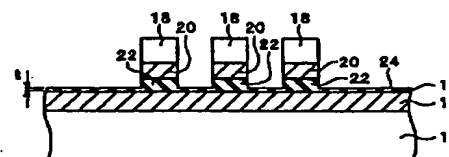
(A)



(B)



(C)



0<L<0.1×T

## 【特許請求の範囲】

【請求項1】 (a) 下部電極材料膜上に形成された強誘電体材料膜を、前記下部電極材料膜が露出しないように、アンダーエッチングによってパターニングして、複数の強誘電体部と、アンダーエッチング残膜と、を形成し、

(b) 前記アンダーエッチング残膜及び前記下部電極材料膜をエッチングによりパターニングすることを含み、前記(b)工程で、2つ以上の前記強誘電体部を囲む領域を1つの非エッチング領域として、前記1つの非エッチング領域に、前記下部電極材料膜から1つの下部電極を形成する強誘電体メモリの製造方法。

【請求項2】 請求項1記載の強誘電体メモリの製造方法において、

前記(a)工程で、前記強誘電体材料膜のエッチング対象領域を、平均値において、エッチング前の前記強誘電体材料膜の厚みの10%以下であって0%より大きい厚みになるようにアンダーエッチングする強誘電体メモリの製造方法。

【請求項3】 請求項1又は請求項2記載の強誘電体メモリの製造方法において、

前記(a)及び(b)工程後に、前記アンダーエッチング残膜を覆う絶縁膜を形成し、前記絶縁膜及び前記アンダーエッチング残膜を貫通して前記下部電極が露出するコンタクトホールをエッチングによって形成することをさらに含む強誘電体メモリの製造方法。

【請求項4】 請求項3記載の強誘電体メモリの製造方法において、

前記コンタクトホールのうち少なくとも前記絶縁膜に形成された穴のテーパ角を80°以下に形成する強誘電体メモリの製造方法。

【請求項5】 請求項1から請求項4のいずれかに記載の強誘電体メモリの製造方法において、

前記(a)及び(b)工程前に、前記強誘電体材料膜上に上部電極材料膜を形成し、前記上部電極材料膜上にマスクを設けて、前記上部電極材料膜をエッチングすることをさらに含み、

前記マスクを使用して、前記強誘電体材料膜をアンダーエッチングする強誘電体メモリの製造方法。

【請求項6】 請求項1から請求項5のいずれかに記載の強誘電体メモリの製造方法において、

前記強誘電体材料膜は、SBT膜である強誘電体メモリの製造方法。

【請求項7】 請求項1から請求項7のいずれかに記載の方法により製造された強誘電体メモリ。

【請求項8】 下部電極と、

前記下部電極上に形成され、複数の強誘電体部と、前記強誘電体部よりも薄い薄膜部と、を一体的に有する強誘電体材料膜と、

それぞれの前記強誘電体部上に形成された上部電極と、

を有する強誘電体メモリ。

【請求項9】 請求項8記載の強誘電体メモリにおいて、

前記薄膜部の厚みは、平均値において、前記強誘電体部の厚みの10%以下であって0%より大きい強誘電体メモリ。

【請求項10】 請求項8又は請求項9記載の強誘電体メモリにおいて、

前記薄膜部上に形成された絶縁膜を有し、前記絶縁膜及び前記薄膜部には、前記下部電極に至るコンタクトホールが形成されてなる強誘電体メモリ。

【請求項11】 請求項10記載の強誘電体メモリにおいて、

前記コンタクトホールのうち少なくとも前記絶縁膜に形成された穴のテーパ角は、80°以下である強誘電体メモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、強誘電体メモリ及びその製造方法に関する。

【0002】

【背景技術】強誘電体メモリ(FeRAM)は、上部及び下部電極間に挟まれた強誘電体膜の自発分極によりデータを保持するものである。その形成には、ドライエッチングが適用されてきた。下部電極の材料として好適に用いられる白金(Pt)やイリジウム(Ir)は、エッチングに用いられるガスに対しての反応性が低いため、通常、物理的作用を高めたエッチング(スパッタエッチング)によりエッチングを行っている。この場合、エッチングにより生じる二次生成物は気相中に除去されないため、下部電極の材料が強誘電体膜の側面に付着して、上部及び下部電極がショートするという問題があった。

【0003】なお、特開平11-354723号公報には、1つの下部電極上に、1つの強誘電体膜及び1つの上部電極を形成する方法が記載されているが、微細化が進み、1つの下部電極上に複数の強誘電体膜及び上部電極を形成する場合が考慮されていない。

【0004】本発明は、従来の問題点を解決するものであり、その目的は、上部及び下部電極がショートしない強誘電体メモリ及びその製造方法を提供することにある。

【0005】

【課題を解決するための手段】(1)本発明に係る強誘電体メモリの製造方法は、(a)下部電極材料膜上に形成された強誘電体材料膜を、前記下部電極材料膜が露出しないように、アンダーエッチングによってパターニングして、複数の強誘電体部と、アンダーエッチング残膜と、を形成し、(b)前記アンダーエッチング残膜及び前記下部電極材料膜をエッチングによりパターニングすることを含み、前記(b)工程で、2つ以上の前記強誘

電体部を囲む領域を1つの非エッチング領域として、前記1つの非エッチング領域に、前記下部電極材料膜から1つの下部電極を形成する。

【0006】本発明によれば、(a)工程で、強誘電体材料膜をアンダーエッチングするので、下部電極材料膜がエッチングされない。したがって、下部電極材料膜のエッチングに伴って生じる二次生成物が強誘電体部に付着しないので、上部及び下部電極のショートが生じない。

【0007】(2)この強誘電体メモリの製造方法において、前記(a)工程で、前記強誘電体材料膜のエッチング対象領域を、平均値において、エッチング前の前記強誘電体材料膜の厚みの10%以下であって0%より大きい厚みになるようにアンダーエッチングしてもよい。

【0008】これによれば、アンダーエッチング残膜が薄いので、これを(b)工程で簡単にエッチングすることができる。そして、隣接するメモリセル間での干渉が発生しにくい強誘電体メモリを製造することができる。

【0009】(3)この強誘電体メモリの製造方法において、前記(a)及び(b)工程後に、前記アンダーエッチング残膜を覆う絶縁膜を形成し、前記絶縁膜及び前記アンダーエッチング残膜を貫通して前記下部電極が露出するコンタクトホールをエッチングによって形成することをさらに含んでもよい。

【0010】(4)この強誘電体メモリの製造方法において、前記コンタクトホールのうち少なくとも前記絶縁膜に形成された穴のテーパ角を80°以下に形成してもよい。

【0011】これによれば、アンダーエッチング残膜のエッチングに伴って生じる二次生成物がコンタクトホール内に堆積しても、この堆積物は、エッチングによって除去される。結果として堆積物のないコンタクトホールを形成することができる。

【0012】(5)この強誘電体メモリの製造方法において、前記(a)及び(b)工程前に、前記強誘電体材料膜上に上部電極材料膜を形成し、前記上部電極材料膜上にマスクを設けて、前記上部電極材料膜をエッチングすることをさらに含み、前記マスクを使用して、前記強誘電体材料膜をアンダーエッチングしてもよい。

【0013】(6)この強誘電体メモリの製造方法において、前記強誘電体材料膜は、SBT膜であってもよい。

【0014】(7)本発明に係る強誘電体メモリは、上記方法により製造されたものである。

【0015】(8)本発明に係る強誘電体メモリは、下部電極と、前記下部電極上に形成され、複数の強誘電体部と、前記強誘電体部よりも薄い薄膜部と、を一体的に有する強誘電体材料膜と、それぞれの前記強誘電体部上に形成された上部電極と、を有する。

【0016】(9)この強誘電体メモリにおいて、前記

薄膜部の厚みは、平均値において、前記強誘電体部の厚みの10%以下であって0%より大きくてもよい。

【0017】(10)この強誘電体メモリにおいて、前記薄膜部上に形成された絶縁膜を有し、前記絶縁膜及び前記薄膜部には、前記下部電極に至るコンタクトホールが形成されていてもよい。

【0018】(11)この強誘電体メモリにおいて、前記コンタクトホールのうち少なくとも前記絶縁膜に形成された穴のテーパ角は、80°以下であってもよい。

【0019】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して説明する。図1(A)～図3(C)は、本発明を適用した強誘電体メモリの製造方法を示す図である。強誘電体メモリは、不揮発性半導体記憶装置である。情報の記憶の最小単位は、メモリセルであり、例えば一つのトランジスタと一つのキャパシタ部分が組み合わされてメモリセルが構成されている。このような複数のメモリセルが並べられてメモリアレイを構成することができる。この場合、複数のメモリセルは規則正しく、複数行複数列で並べることができる。

【0020】本実施の形態では、基板10上に強誘電体メモリを形成する。基板10は、Si基板とその上に形成されたSiO<sub>2</sub>膜から構成されていてもよい。基板10(そのSi基板)には、トランジスタ等の機能デバイスが形成されている。トランジスタの形成には、公知の方法を適用すればよい。

【0021】強誘電体メモリのキャパシタ部分の製造方法を説明する。例えば、図1(A)に示すように、基板10(そのSiO<sub>2</sub>膜)上に、下部電極材料膜12を形成し、その上に強誘電体材料膜14を形成し、その上に上部電極材料膜16を形成する。

【0022】下部電極材料膜12は、Pt又はIr等の貴金属や、その酸化物(IrO<sub>2</sub>等)で形成してもよい。また、下部電極材料膜12は、単層でもよいし積層した複数層でもよい。下部電極材料膜12は、その上にSBT(Strontium Bismuth Tantalates)を成膜する場合には、Ptで形成することが考えられる。本実施の形態では、基板10(そのSiO<sub>2</sub>膜)上にTi膜をスパッタで形成し、これを酸化炉で酸化することによりTiO<sub>2</sub>膜(例えば約40nmの厚み)を形成し、その上にPt膜(例えば約200nmの厚み)をスパッタにより形成する。こうして、TiO<sub>2</sub>膜及びその上のPt膜からなる下部電極材料膜12を形成する。下部電極材料膜12の厚みは、バリア性能(厚いほどよい)及びエッチングされやすさ(薄いほどよい)を考慮して決める。

【0023】強誘電体材料膜14の材料は、PZT(Lead Zirconate Titanate)、SBT(Strontium Bismuth Tantalates)、BST(Barium Strontium Titanate)などである。成膜方法として、溶液塗布法(ゾル・ゲル法及びMOD(Metal Organic Decomposition)法を

む。)、スパッタ法又はCVD (Chemical Vapor Deposition) 法 (MOCVD (Metal Organic Chemical Vapor Deposition) 法を含む。) などがある。本実施の形態では、SBTを材料として、約120nmの厚みで強誘電体材料膜14を形成する。

【0024】上部電極材料膜14の材料及び形成方法は、下部電極材料膜12で説明した内容を適用することができる。本実施の形態では、Ptを200nm成膜して上部電極材料膜14を形成する。

【0025】次に、図1(B)に示すように、上部電極材料膜16上にレジスト18を形成する。レジスト18は、周知の方法でパターニングする。詳しくは、複数の上部電極20(図1(C)参照)の形成領域を覆うようにレジスト18を形成する。

【0026】そして、レジスト18をマスクとして、上部電極材料膜16をエッチングする。エッチングにはドライエッチングを適用することができる。ドライエッチングでは、ICP (Inductive Coupled Plasma) などの高密度プラズマを用いてもよい。本実施の形態では、Cl<sub>2</sub>ガスとArガスとが、流量比において、Cl<sub>2</sub>:Ar=3:2

程度となる混合ガスを使用し、1.0Pa以下の圧力でエッチングを行った。こうして、複数の上部電極20(図1(C)参照)を形成する。

【0027】続いて、レジスト18をマスクとして、強誘電体材料膜14をアンダーエッチングする。アンダーエッチングを適用して、下部電極材料膜12が露出しないようにする。これにより、下部電極材料膜12のエッチングに伴う二次生成物が生じないので、強誘電体部22に堆積物ができることもない。したがって、上部電極20及び下部電極28がショートすることがない。アンダーエッチングにはドライエッチングを適用することができる。ドライエッチングでは、ICP (Inductive Coupled Plasma) などの高密度プラズマを用いてもよい。本実施の形態では、CF<sub>4</sub>ガスとArガスの混合ガスや、BCl<sub>3</sub>ガスとArガスの混合ガスをエッチングガスとして使用し、1.0Pa以下の圧力でエッチングを行った。

【0028】こうして、図1(C)に示すように、複数の強誘電体部22と、アンダーエッチング残膜24とを形成する。各強誘電体部22は、1つの上部電極20の下に位置している。アンダーエッチング残膜24は、強誘電体部22以外の領域(強誘電体部22の間や強誘電体部22の周囲の領域)に形成されている。アンダーエッチング残膜24は、エッチング装置の精度に応じて可能な限り薄くしてもよい。例えば、±10%のエッチングレート均一性を示すエッチング装置を使用する場合には、アンダーエッチング残膜24の厚みtを、平均値において、エッチング前の強誘電体材料膜14の厚みTの10%程度の厚みにする。または、平均値において、

$$0 < t \leq 0.1 \times T$$

の関係が成立してもよい。本実施の形態では、

$$0 < t \leq 20 \text{ nm}$$

程度となるようにアンダーエッチング残膜24が形成されている。そして、図2(A)に示すように、O<sub>2</sub>アッシングなどによって、レジスト18を除去する。

【0029】次に、アンダーエッチング残膜24及び下部電極材料膜12をエッチングする。そのため、例えば図2(B)に示すように、アンダーエッチング残膜24上にレジスト26を形成する。レジスト26は、周知の方法でパターニングする。また、レジスト26は、複数の上部電極20及び複数の強誘電体部22を覆うように形成する。すなわち、複数の上部電極20及び複数の強誘電体部22を囲む領域が1つの非エッチング領域となるように、レジスト26が設けられる。

【0030】そして、レジスト26をマスクとして、アンダーエッチング残膜24及び下部電極材料膜12をエッチングする。両者は同じ条件でエッチングしてもよい。エッチングにはドライエッチングを適用することができる。ドライエッチングでは、ICP (Inductive Coupled Plasma) などの高密度プラズマを用いてもよい。本実施の形態では、Cl<sub>2</sub>ガスとArガスとが、流量比において、

$$Cl_2:Ar=3:2$$

程度となる混合ガスを使用し、1.0Pa以下の圧力でエッチングを行った。こうして、図2(C)に示すように、アンダーエッチング残膜24をパターニングするとともに、下部電極28を形成する。下部電極28上にアンダーエッチング残膜24が残っている。また、1つの下部電極28上に複数の上部電極20及び複数の強誘電体部22が位置している。

【0031】次に、図3(A)に示すように、絶縁膜(層間絶縁膜)30及びレジスト32を形成する。絶縁膜30は、アンダーエッチング残膜24を覆うように形成する。絶縁膜30は、さらに上部電極20、強誘電体部22及び下部電極28を覆うように形成する。レジスト32は、周知の方法でパターニングする。レジスト32は、絶縁膜30及びアンダーエッチング残膜24を貫通して下部電極28に至るコンタクトホール34(図3(B)参照)を形成する領域が露出するように形成する。また、レジスト32は、絶縁膜30を貫通して上部電極20に至るコンタクトホール36(図3(B)参照)を形成する領域が露出するように形成する。

【0032】そして、図3(B)に示すように、レジスト32をマスクとして、絶縁膜30をエッチングして、コンタクトホール34の一部となる穴38を形成する。エッチングにはドライエッチングを適用することができる。穴38のテーパ角αが、 $\alpha \leq 80^\circ$

になるようにエッチングを行う。例えば、RIE (Reac

tive Ion Etching) を適用してもよい。本実施の形態では、 $\text{CHF}_3$ ガスと $\text{O}_2$ ガスの混合ガスを使用してもよい。

【0033】続いて、レジスト32及び穴38が形成された絶縁膜30をマスクとして、アンダーエッチング残膜24をエッチングして穴40を形成する。エッチング条件は、絶縁膜32のエッチングと同じでもよい。このとき、アンダーエッチング残膜24のエッチングに伴って生じる二次生成物が、穴38の内壁面に堆積する場合がある。本実施の形態では、穴38のテーパ角が $80^\circ$ 以下であるから、その内壁面の堆積物を、特にエッチングの物理的作用によって除去することができる。なお、穴40のテーパ角も $80^\circ$ 以下であってもよい。

【0034】こうして、穴38、40が連通してコンタクトホール34が形成される。なお、上部電極20に至るコンタクトホール36は、穴38を形成しているときに同時に形成すればよい。

【0035】そして、図3(C)に示すように、コンタクトホール34、36に、導電材料からなるコンタクト層42を形成し、その上に配線層44を形成する。こうして、強誘電体メモリを製造することができる。本実施の形態に係る強誘電体メモリは、下部電極28と、下部電極28上に形成された強誘電体材料膜14と、複数の上部電極20とを有する。強誘電体材料膜14は、複数の強誘電体部22と、強誘電体部22よりも薄い薄膜部(アンダーエッチング残膜24)と、を一体的に有する。1つの下部電極28上に複数の強誘電体部22が配置されている。1つの上部電極20は、1つの強誘電体部22上に形成されている。その他の構成は、上述した製造方法の結果として得られる内容が該当する。

【0036】本実施の形態によれば、薄膜部(アンダーエッチング残膜24)の厚みは、平均値において、強誘電体部22の厚みの10%以下であって0%より大きい。したがって、複数の強誘電体部22と薄膜部とが一体化していても、隣同士の強誘電体部22(あるいは隣同士のキャパシタ部)の干渉がなく、高集積化が可能である。

【0037】図4は、本発明を適用した実施の形態に係る強誘電体メモリ装置を模式的に示す断面図である。強誘電体メモリ装置は、電界効果型トランジスタ120と、キャパシタ130とを有する。

【0038】電界効果型トランジスタ(以下「トランジスタ」という)120は半導体基板110の上に形成され、かつ、トランジスタ120の形成領域は素子分離領域112によって画定されている。トランジスタ120は、ゲート絶縁層122と、ゲート電極124と、ソース/ドレイン領域126とを有する。半導体基板110の上には、トランジスタ120を覆うようにして、第1の層間絶縁層140が形成されている。

【0039】キャパシタ130は、第1の層間絶縁層1

40の上に形成されている。キャパシタ130は、下部電極132、強誘電体部134および上部電極136が順次積層して、構成されている。

【0040】キャパシタ130の一部(例えば上部電極136)上にバリア層(図示せず)が形成されている。バリア層は、水素をブロックして、強誘電体部134が水素と接触するのを防止する機能を有する。すなわち、バリア層は、強誘電体部134が水素によって還元されるのを防止する機能を有する。バリア層を、キャパシタ130の側面にも形成すれば、強誘電体部134の構成物質が第2の層間絶縁層160に拡散するのを防止する機能も有する。バリア層は、第1の層間絶縁層140の上にも形成されている。バリア層の上には、第2の層間絶縁層160が形成されている。

【0041】第2の層間絶縁層160を貫通するようにして、第1のスルーホール170が形成されている。また、第2の層間絶縁層160、バリア層および第1の層間絶縁層140を貫通するようにして、第2のスルーホール172および第3のスルーホール174が形成されている。第1～第3のスルーホール170、172、174内には、それぞれ、第1～第3のコンタクト層180、182、184が形成されている。また、第2の層間絶縁層160の上には、第1のコンタクト層180と第2のコンタクト層184とを接続するための局所配線層190が形成されている。また、第2の層間絶縁層160の上には、第3のコンタクト層184と電氣的に接続されているビット配線層192が形成されている。

【0042】図5(A)は、本発明を適用した他の実施の形態に係る強誘電体メモリ装置を模式的に示す平面図であり、図5(B)は、図5(A)のVB-VB線に沿って強誘電体メモリ装置の一部を模式的に示す断面図である。

【0043】本実施の形態の強誘電体メモリ装置は、メモリセルアレイ200と、周辺回路部202とを有する。そして、メモリセルアレイ200と周辺回路部202とは、異なる層に形成されている。周辺回路部202は、メモリセルアレイ200の外側の領域において形成されている。具体的には、周辺回路部の形成領域A202(図5(B)参照)は、メモリセルアレイの形成領域A200(図5(B)参照)の外側の領域において設けられている。この例では、下層に周辺回路部202が、上層にメモリセルアレイ200が形成されている。周辺回路部202の具体例としては、Yゲート、センスアンプ、入出力バッファ、Xアドレスデコード、Yアドレスデコードまたはアドレスバッファを挙げることができる。

【0044】メモリセルアレイ200は、行選択のための下部電極(ワード線)212と、列選択のための上部電極(ビット線)216とが直交するように配列されている。なお、信号電極は、上記の逆でもよく、下部電極

がビット線、上部電極がワード線でもよい。

【0045】そして、図5(B)に示すように、下部電極212と上部電極216との間には強誘電体材料膜214が配置されている。従って、下部電極212と上部電極216との交差領域において、キャパシタ部分を含むメモリセルが構成されている。

【0046】そして、下部電極212、強誘電体材料膜214および上部電極216を覆うように、絶縁層からなる第1保護層218が形成されている。さらに、第2配線層222を覆うように第1保護層218上に絶縁性の第2保護層38が形成されている。

【0047】周辺回路部202は、図5(A)に示すように、前記メモリセルに対して選択的に情報の書き込みもしくは読み出しを行うための各種回路を含み、例えば、下部電極212を選択的に制御するための第1駆動回路224と、上部電極34を選択的に制御するための第2駆動回路226と、センスアンプなどの信号検出回路(図示せず)とを含む。

【0048】また、周辺回路部202は、図5(B)に示すように、半導体基板240上に形成されたMOSTランジスタ230を含む。MOSTランジスタ230は、ゲート絶縁層232、ゲート電極234およびソース/ドレイン領域236を有する。各MOSTランジスタ230は素子分離領域242によって分離されている。MOSTランジスタ230が形成された半導体基板240上には、第1層間絶縁層210が形成されている。そして、周辺回路部202とメモリセルアレイ200とは、第1配線層222によって電気的に接続されている。

【0049】次に、本実施の形態の強誘電体メモリ装置における書き込み、読み出し動作の一例について述べる。

【0050】まず、読み出し動作においては、選択セルのキャパシタに読み出し電圧「 $V_0$ 」が印加される。これは、同時に「0」の書き込み動作を兼ねている。このとき、選択されたビット線を流れる電流またはビット線をハイインピーダンスにしたときの電位をセンスアンプにて読み出す。このとき、非選択セルのキャパシタには、読み出し時のクロストークを防ぐため、所定の電圧が印加される。

【0051】書き込み動作においては、「1」の書き込みの場合は、選択セルのキャパシタに「 $-V_0$ 」の電圧が印加される。「0」の書き込みの場合は、選択セルのキャパシタに、該選択セルの分極を反転させない電圧が印加され、読み出し動作時に書き込まれた「0」状態を保持する。このとき、非選択セルのキャパシタには、書き込み時のクロストークを防ぐため、所定の電圧が印加

される。

【0052】以上の構成の強誘電体メモリ装置によれば、メモリセルアレイ200の下には、周辺回路部が形成されていない。このため、第1層間絶縁層210の下にの基体は平坦であるため、第1層間絶縁層210の堆積時の膜厚を一定にし易い。第1層間絶縁層210の堆積時の膜厚が一定であるほど、第1層間絶縁層210の平坦化が容易となる。その結果、所定のパターンを有するメモリセルアレイ200を容易に形成することができる。

【0053】本発明は、上述した実施の形態に限定されるものではなく、種々の変形が可能である。例えば、本発明は、実施の形態で説明した構成と実質的に同一の構成(例えば、機能、方法及び結果が同一の構成、あるいは目的及び結果が同一の構成)を含む。また、本発明は、実施の形態で説明した構成の本質的でない部分を置き換えた構成を含む。また、本発明は、実施の形態で説明した構成と同一の作用効果を奏する構成又は同一の目的を達成することができる構成を含む。また、本発明は、実施の形態で説明した構成に公知技術を付加した構成を含む。

#### 【図面の簡単な説明】

【図1】図1(A)～図1(C)は、本発明の第1の実施の形態に係る強誘電体メモリの製造方法を示す図である。

【図2】図2(A)～図2(C)は、本発明の第1の実施の形態に係る強誘電体メモリの製造方法を示す図である。

【図3】図3(A)～図3(C)は、本発明の第1の実施の形態に係る強誘電体メモリの製造方法を示す図である。

【図4】図4は、本発明の実施の形態に係る強誘電体メモリ装置を示す図である。

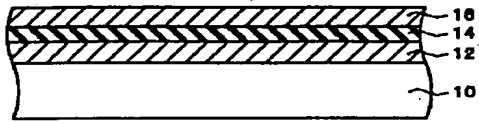
【図5】図5(A)及び図5(B)は、本発明の実施の形態に係る強誘電体メモリ装置を示す図である。

#### 【符号の説明】

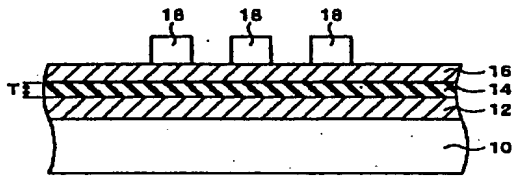
- 12 下部電極材料膜
- 14 強誘電体材料膜
- 16 上部電極材料膜
- 18 レジスト
- 20 上部電極
- 22 強誘電体部
- 24 アンダーエッチング残膜
- 28 下部電極
- 30 絶縁膜
- 34 コンタクトホール
- 38 穴

【図1】

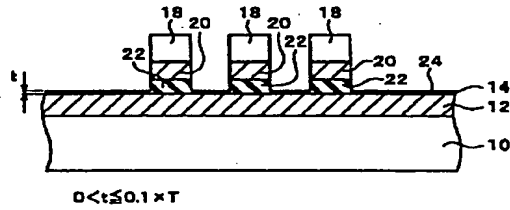
(A)



(B)

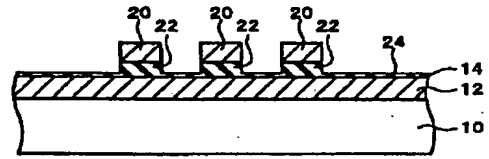


(C)

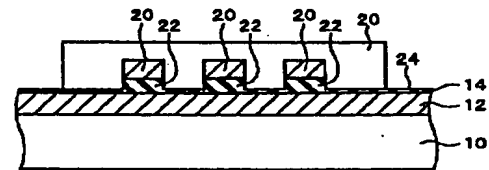


【図2】

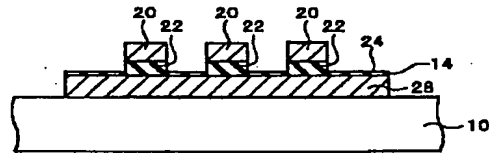
(A)



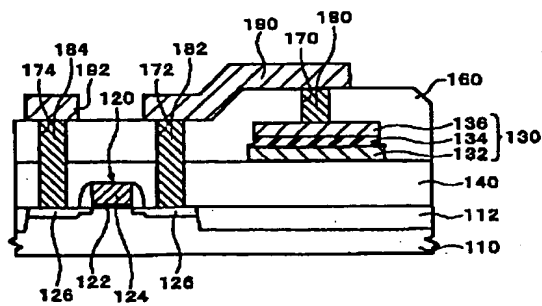
(B)



(C)

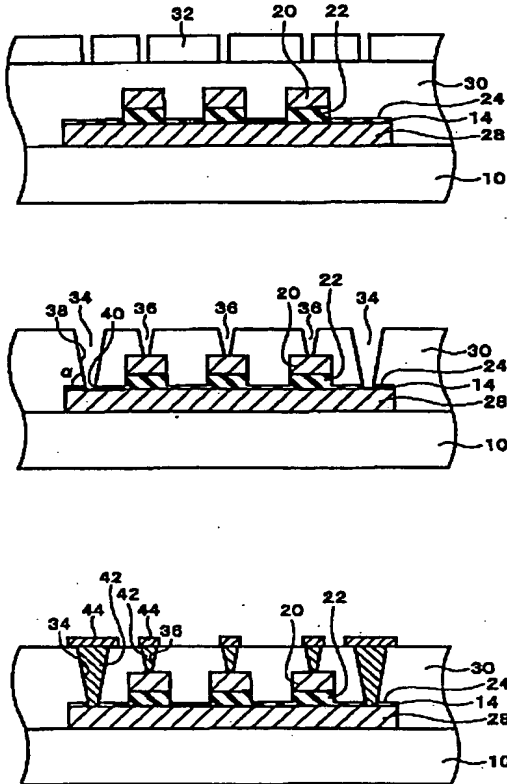


【図4】





【図3】



【图5】

